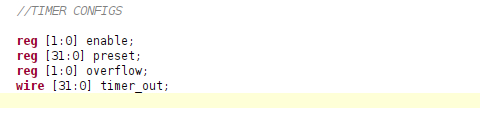
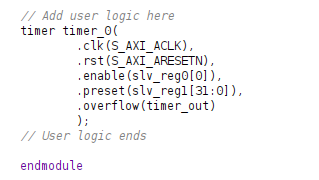
**AXI TIMER**

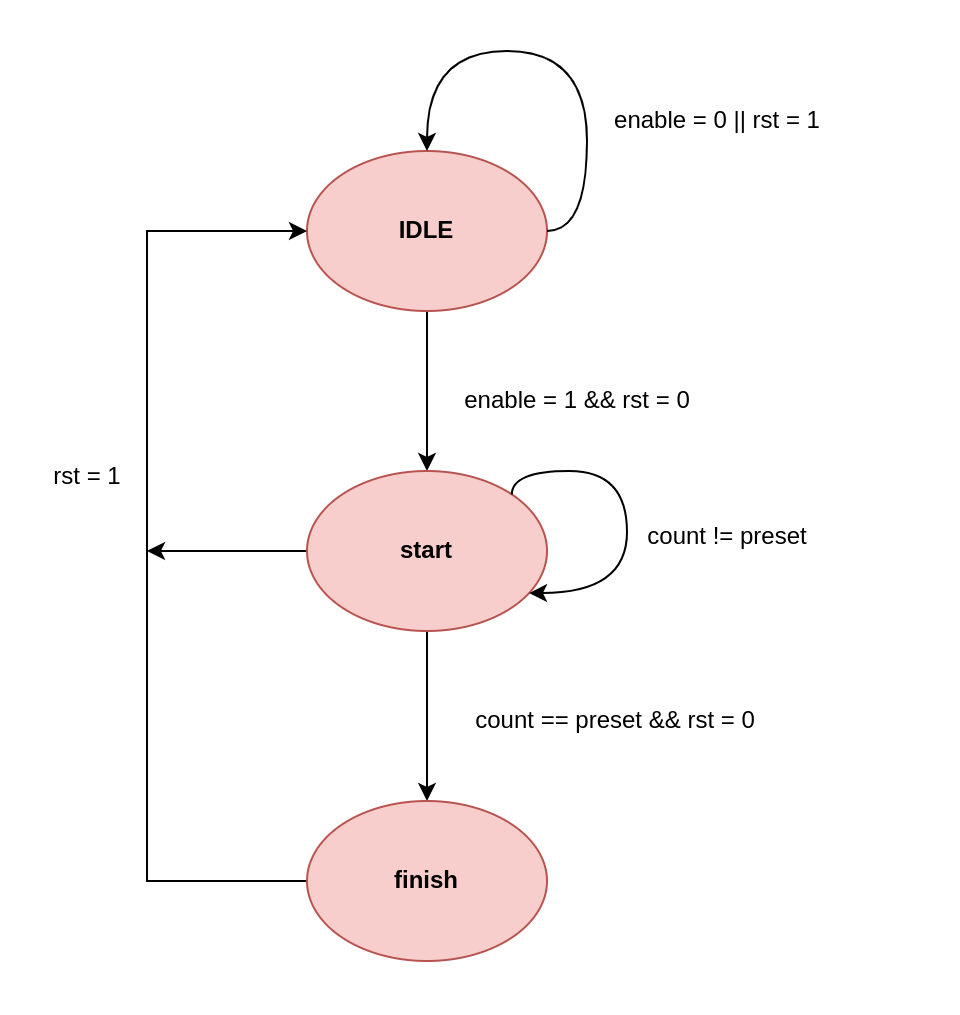
Para implementar o periférico do *timer*, primeiramente construi-se um periférico com o AXI4 (referência: <https://www.fpgadeveloper.com/2014/08/creating-a-custom-ip-block-in-vivado.html/> ), foi importado um módulo timer (timer.v) que ja tinha sido testado anteriormente num projeto à parte. Após isso foram definidos os portos necessários para um timer: *enable* (para iniciar o timer), *preset* (definir o valor do timer) e *timer\_out* (sinalizar que o timer foi concluído).



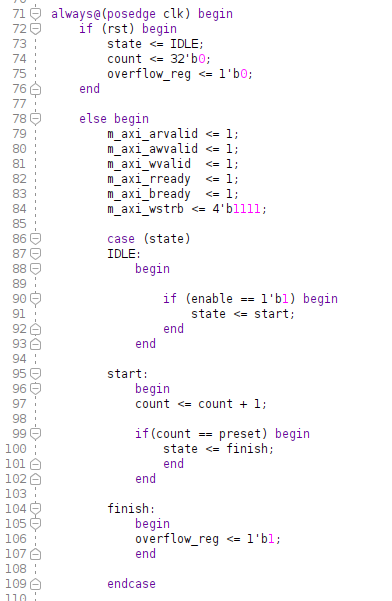
Neste caso depois foram utilizados os *slaves registers* 0 e 1 para o *preset* e o *enable* nomeadamente. Após isso foi instanciado os registos aos portos necessários.



Após a validação do bloco IP e de criar o wrapper (design\_1.v), foi criado um módulo top (axitimer\_tb.v), onde foram instanciados os portos e a máquina de estados. A máquina de estados possui 3 estados: *“IDLE”* (inicial), *“start”* e *“finish”*.



Como demonstra a figura acima para controlar o fluxo de operações do timer, posiciona-se no estado *“IDLE”* até que o enable for ativo e apartir do estado *“start”* onde se começa a contagem do *timer.* Findando a contagem, muda-se para o estado *“finish”* para sinalizar que a contagem do timer chegou ao fim.



Após isso foi necessário instanciar o módulo axitimer\_tb.v na simulação.

